

微細画素CMOSセンサの暗時S/N比向上に関する研究

著者	山下 浩史
号	56
学位授与機関	Tohoku University
学位授与番号	工博第4556号
URL	http://hdl.handle.net/10097/61617

氏 名 やました ひろふみ
授 与 学 位 山下 浩史
学位 博士 (工学)
学位 授 与 年 月 日 平成 23 年 9 月 14 日
学位 授 与 の 根 拠 法 規 学位規則第 4 条第 1 項
研究科, 専攻の名称 東北大学大学院工学研究科 (博士課程) 技術社会システム専攻
学 位 論 文 題 目 微細画素 CMOS センサの暗時 S/N 比向上に関する研究
指 導 教 員 東北大学教授 須川 成利
論 文 審 査 委 員 主査 東北大学教授 須川 成利 東北大学教授 鷲尾 勝由
東北大学教授 遠藤 哲郎 東北大学教授 榎井 昇一

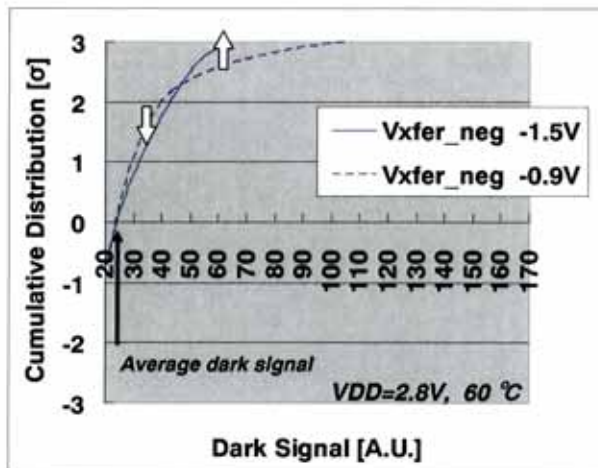
論文内容要旨

CMOS イメージセンサの画素サイズ縮小した際に、どのようにして S/N 比を大きく損なうことなく画質を維持するかについては、従来から大きな課題であった。特に画素サイズを縮小したときに暗電流雑音をどのようにして十分低減するかについては、暗電流雑音の発生原因が不明確であったために、指針を得ることができていなかった。本論文はこの問題を解決するために、暗電流雑音の発生原因を解析した上で、さらにその低減方法についての議論を行い、画素微細化時の暗電流雑音低減の指針を提示したものであり、全文 6 章からなる。

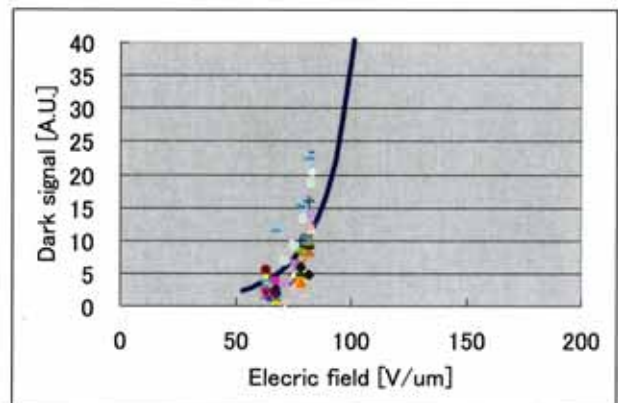
第 1 章は、序論である。CMOS センサは低消費電力、低コスト、Logic 搭載可能であることから、携帯用機器をはじめとする多くの応用分野において広く普及していること、そのため一貫して画素サイズの縮小が続けられ、さらにそこでは高 S/N 比であること、特に低照度撮像時の S/N 比を同確保できるかが重要課題であることが重要課題となっていることを述べた。本論文の目的は以下である。画素サイズ縮小時の暗電流雑音低減については、暗電流雑音の発生原因が不明確であったために、今迄はその低減指針を得られていなかったが、本論文ではこの問題を解決するために、暗電流雑音の発生原因を解析した上で、その低減方法についての議論を行い、画素微細化時の暗電流雑音低減指針を提示する。またサブミクロン画素サイズにおいても最低被写体照度 5lux 以下を実現することを目的とする。

第 2 章では、画素サイズを縮小した際に暗時 S/N が十分に低減できないと、低照度での S/N 比が大幅に劣化することを、さらに暗時ノイズの中でも暗電流雑音が暗時ノイズを支配する要因であることを示した。また、画素サイズ縮小時には、ダイナミックレンジ確保のために動作電圧が一定のままで素子のスケールダウンが行われるので、画素サイズ縮小と共に画素内に印加される電界が本質的に高くなり、従って電界依存性を持つ暗電流の低下が重要な課題となっていることを示した。また、画素縮小時のダイナミックレンジ確保及び暗電流ノイズ低減のための重要技術である読出しゲートへの負バイアス印加動作時に、原因不明のノイズ増加現象が発生していることを指摘し、それが微細化を制約する重要課題であることを述べた。

第3章では、画素の読出しゲートに負バイアスを印加する動作を行った時に、通常の熱励起型暗電流とは異なる発生機構を持つ、別原因の暗電流が発生していることを実験的に示した。熱励起型ではない暗電流は、読出しゲートへの印加電圧に対して依存性を持ついわゆる Gate-Induced-Leak 暗電流である事がわかった。さらに、浮遊拡散層に印加する電圧と読み出しゲートに印加する負バイアス値との電圧差分に対して指数関数の二乗となる強い依存性を示す事を実験的に検証した。その結果から、暗電流が浮遊拡散層内で発生する局所的な高電界によって生ずること、及びその暗電流はトンネル電流が原因であることを定量的に示した。

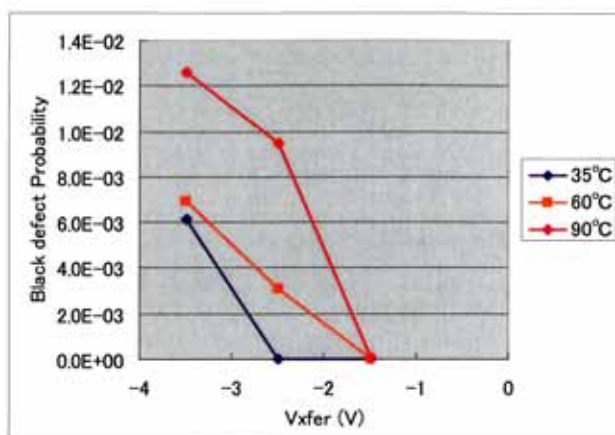


読出しゲートへの印加負バイアスを変えた時に暗時出力分布が変化する様子

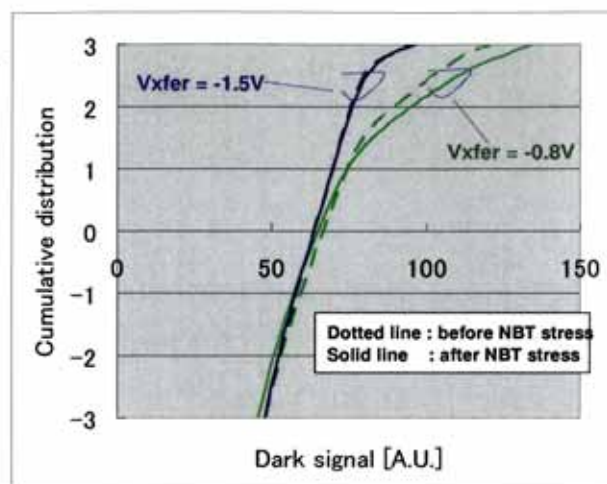


浮遊拡散層中の最大電界と白傷暗時出力との関係 図中の曲線は Trap Assist Tunneling モデル式

第4章では、画素の読出しゲートに負バイアスを印加する動作を継続し一定期間が経過した後に、黒傷状の暗時固定パターン雑音が発生することを示した。これは今回新たに発見された現象である。暗時固定パターン雑音の発生確率は、ストレス電圧及びストレス温度に依存していることを明確にし、さらに、ストレス印加後には読み出しゲートチャネルの界面準位が増加している事を確認した。これらの結果により、読み出しゲートに負バイアスストレスを印加した際に増加する暗時の黒傷状固定パターンノイズは、通常の pMOS-FET で報告されている NBTI 現象と同様の原因で発生している可能性が高いことを示した。

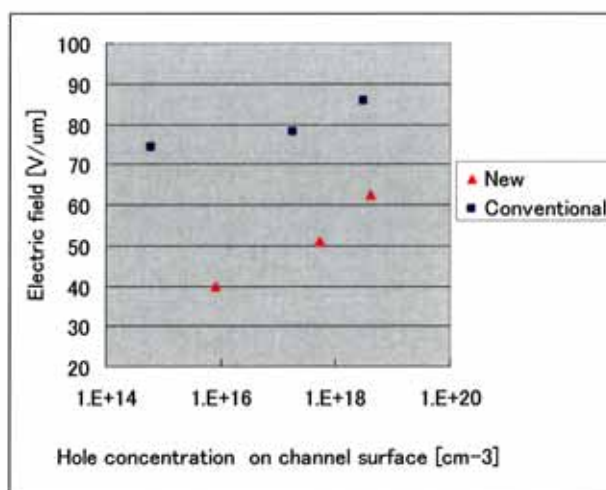


黒傷状暗時固定パターン雑音発生確率のストレスバイアス、ストレス温度依存性

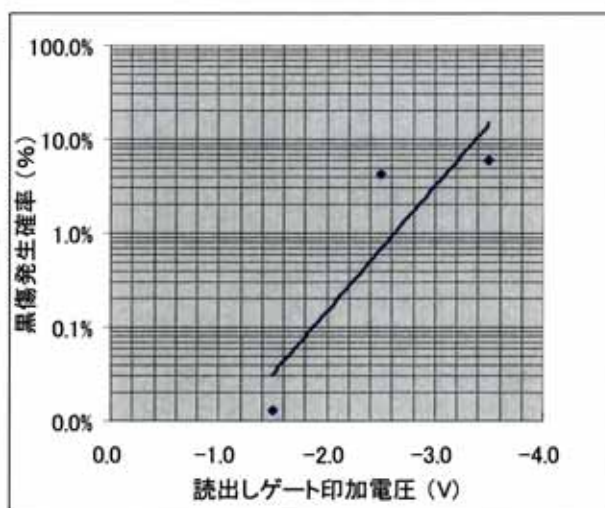


負バイアスストレス印加後に界面準位が増加し、そのため暗電流が増加している事を示す実験結果

第5章では、第3章で発生原因を検証したトンネル電流起因の暗電流雑音を低減するための画素構造についての検討を行った。浮遊拡散層の局所的な高電界を低減するための新規の画素構造について、テスト素子の試作・評価を行い、電界の低減が実現され暗電流雑音が低減できることを実証した。また第4章で実験検証を行った、新たに発見された暗時固定パターン雑音について、その発生確率を十分低減するための素子駆動条件についての議論を行った。その結果、読出しゲートのゲート絶縁膜に印加し続ける電界には上限があり、それ以下の動作条件においては、暗時固定パターン雑音の増加を抑制できることを示した。これらは、極めて有用な成果である。

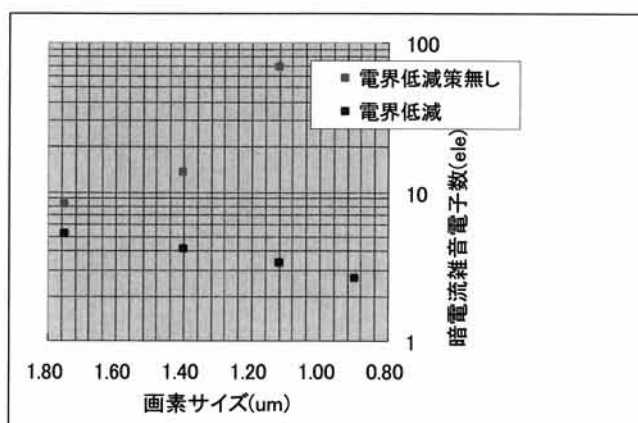


浮遊拡散層と読出しゲートとが接する部分のドーパント濃度を低減した際の電界低減の様子

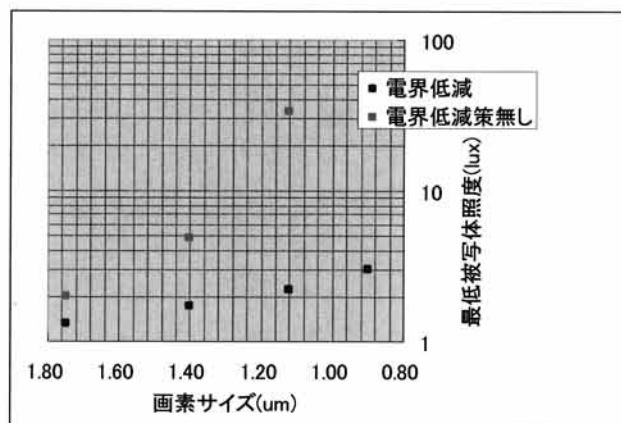


黒傷発生確率の読出しゲートへの負バイアス印加電圧依存性

第6章は、結論である。本章においては、今後画素サイズを縮小するにあたって、暗時ノイズを十分に抑制するためにはどのような画素構造とすべきであるかについての指針を示した。さらに今後の画素サイズ縮小時の課題について示した。トンネル電流雑音を発生させないために、Si 中の局所電界がトンネル電流発生閾値 ($52\text{V}/\mu\text{m}@300\text{K}$) 以下となるよう拡散層濃度を抑制すること。読出しゲート表面の界面準位を増加させないために、負バイアス印加時のゲート絶縁膜電界を $320\text{V}/\mu\text{m}$ 以下とすることが、暗時ノイズ抑制のための具体的指針である。本論文での提案技術に基づき画素サイズを縮小すると、暗時ノイズは十分に抑制され、そのために、サブミクロン画素サイズにおいても最低被写体照度 5lux 以下を実現できることを示した。



本論文の提案技術に基き画素内に印加される電界を低減させた場合の暗時ノイズ低減効果を示す図面



本論文の提案技術に基き画素内に印加される電界を低減させた場合の裁定被写体照度改善結果を示す図面

論文審査結果の要旨

近年、CMOS イメージセンサの性能向上が大いに図られ様々な製品に搭載されるようになってきた。これらは、微細半導体技術を継続的に適応し、画素サイズを縮小して多画素化・高解像度化を進めてきたことによる。しかしながら、CMOS イメージセンサの画素サイズを縮小する際に、画質を損なうことなく高い S/N 比を維持することは従来から大きな課題であった。中でも、暗電流雑音の発生原因が不明確であったために、暗時の雑音を低減する指針を得ることができていなかった。本論文は、こうした課題を解決するために、微細画素 CMOS イメージセンサの暗電流雑音の発生原因を明らかにし、さらにその低減方法についてまとめたものであり、全文 6 章からなる。

第 1 章は、序論である。

第 2 章では、微細画素における暗電流雑音の影響について論じている。画素サイズを縮小した際に暗時雑音が低減できないと、低照度での S/N 比が大幅に劣化すること、また、暗時雑音の中でも暗電流雑音が支配的な要因であることを述べている。特に、微細画素では、画素内の局所的構造部に印加される電界が実効的に高くなり、電界依存性を持つ暗電流を低減させることが重要な課題であることを明らかにしている。これは重要な成果である。

第 3 章では、一般的に暗電流低減策として行われている画素読出しゲートへの負バイアス印加時に、熱励起型暗電流とは異なる発生機構を持つ、別原因の暗電流が発生し、白キズ状の暗時固定パターン雑音となることを実験的に見出している。さらに、その暗電流が、ゲート絶縁膜内のキャリアトラップ中心がゲート電極と浮遊拡散層間に存在し、そこに高電界が印加されることによって生ずる、トラップアシスト型のトンネル電流であることを定量的に示している。これは極めて重要な成果である。

第 4 章では、画素読出しゲートへの負バイアス印加を継続して一定期間が経過した後に、経時的に暗電流が減少し、黒キズ状の暗時固定パターン雑音となることを明らかにしている。この原因として、通常 P 型 MOS トランジスタで起こることが知られている Negative Bias Temperature ストレスによるゲート絶縁膜内のトラップ増加が、画素内の N 型トランジスタである転送トランジスタにおいても、蓄積動作期間中のバイアス条件下で起こることを初めて指摘している。これは極めて重要な成果である。

第 5 章では、以上から明らかとなった暗電流雑音発生原因を抑制するための低減方法について述べている。まず、第 3 章で発生原因を明らかにしたトラップアシスト型トンネル電流起因の暗電流雑音を低減するために、ゲート電極・浮遊拡散層間の局所的な高電界を低減する低濃度表面ドーパント構造を持つ、新規な構造の微細画素 CMOS イメージセンサを設計・試作し、実験評価を行い、暗電流雑音が低減できることを実証している。また、第 4 章で発生原因を明らかにした経時的暗電流暗時固定パターン雑音についても、微細画素 CMOS イメージセンサを設計・試作して転送ゲートトランジスタのゲート絶縁膜に印加し続ける電界に上限があることを見出し、適切な電界動作条件において暗時固定パターン雑音の増加を抑制できることを実験的に示している。これらは極めて有用な成果である。

第 6 章は、結論である。

以上要するに本論文は、これまで十分な知見のなかった CMOS イメージセンサにおける暗時雑音増加現象について、その発生原因を解明するとともに、その低減方法を具体的に提示して、高い S/N 比をもった微細画素 CMOS イメージセンサの技術を明らかにしたものであり、画像電子工学、半導体工学に寄与するところが少なくない。

よって、本論文は博士（工学）の学位論文として合格と認める。